

## 200-pin DDR SDRAM Module

SO-DIMM 1024MB DDR PC 2100 in COB 実装

ノートブック用メモリーモジュール

### 製品の特長

- 200ピン64ビット Small Outline Dual-In-Line.
- デュアルインラインチップコネクタ DRAM、ノートブック用
- アプリケーション
- DDR-SDRAM コンポーネント:  
MICRON MT 46V 64M8 T17B
- $V_{DD}$  2,5V  $\pm$ 0.2V,  $V_{DDQ}$  2,5V  $\pm$ 0.2V
- プログラム可能な CAS latency, バースト長, ラップ
- セキュリティ
- オートリフレッシュ (CBR) セルフリフレッシュ 可能
- リフレッシュ: 8K 回/ 64ms
- 2.5V I/O ( SSTL\_2 コンパチブル )
- シリアルプレセンスディテクト、EEPROM に搭載
- Gold-コンタクトパッド
- 本 DDR SO-DIMM ファミリーはすべて JEDEC PC2700 スペック JEDEC-スタンダード MO 224. に準拠しています。  
( [www.jedec.org](http://www.jedec.org) 参照 )

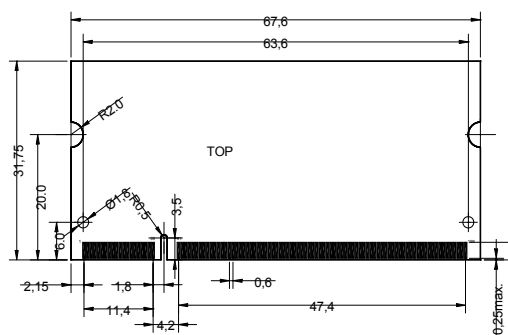


Figure 1: 外形寸法図 (mm)

### 使用環境条件

動作温度	0°C - + 70°C
動作時湿度条件 y	10% - 90% 結露なきこと
動作時標高条件	10106 PSI (約 10000 ft.)
保存温度	-40°C - 70°C
保存時湿度条件	5% - 95% 結露なきこと
保存時標高条件	1682 PSI (約 5000 ft.) 50°C

## 概要

本製品は、標準200ピン、8バンクのダブルポートシクロス DRAM、セルアウトライン Dual-in-Line メモリモジュール (SO-DIMM)で、128Mワード × 64ビットハイビットメモリアルイとして構成されています。メモリチップノ実装方法は、COB (チップ オン ボード)の技術を用い、1GBの容量で、基板高 1.25 インチを実現しています。

EEPROMに搭載された、SPD(シリアル プレゼンシャル データ)は、Two pin I2C プロトコルを用い、最初の128byteはメーカー用、次の128byteはユーザー用に割り振られています。

## モジュール構成

構成	搭載 DDR チップ	ローアドレス	バンクセレクト	Column アドレス	リフレッシュ	外形寸法 (mm)
128Mワード × 64ビット	16x 64Mx8	13	BA0, BA1	11	8k	67.60 x31.75x3.80

## ファミリ構成

ファミリ	モジュール容量	転送レート	メモリークロック/ データビットレート	Latency
SDN12864P1B12MT-75	1024MB	2.1 GB/s	7.5ns/266MT/s	2533
SDN12864P1B12MT-60	1024MB	2.7 GB/s	6.0ns/333MT/s	2533

## 端子機能

A0-9, A11 – A12	アドレスインプット
A10/AP	アドレスインプット/オートプリチャージ
BA0, BA1	バンクセレクト
DQ0 – DQ63	データインプット (アウトプット)
DM0-DM7	データマスク
/RAS	Row アドレスストロブ
/CAS	Column アドレスストロブ
/WE	リード / ライトイネーブル
CKE0 – CKE1	クロックイネーブル
CK0 – CK2	クロックインプット/ ポジティブライン
/CK0 – /CK2	クロックインプット ネガティブライン
DQS0- DQS7	データストロブ

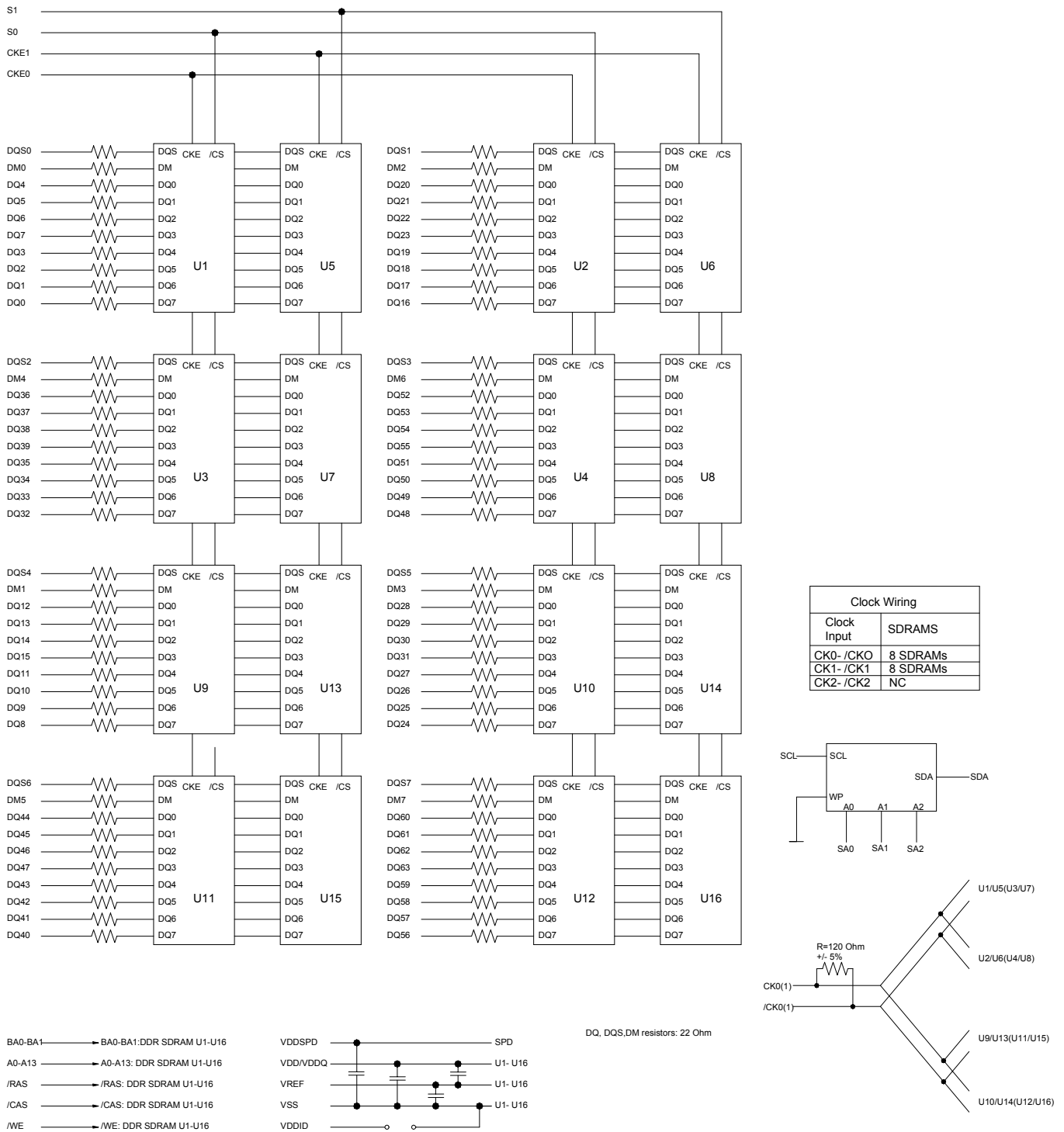
/S0, /S1	チップセレクト
V <sub>DD</sub>	Power (2.5V±0.2V)
V <sub>DDQ</sub>	Power (2.5V±0.2V)
V <sub>DDID</sub>	VDD, VDDQレベルレギュレーション
V <sub>DDSPD</sub>	SPDパワー
V <sub>REF</sub>	インพุット/アウトプットリファレンス
VSS	グラウンド
SCL	プレッシャーデータクロック
SDA	プレッシャーデータシリアルデータアウト
NC	コネクタなし

端子接続

PIN #	フロントサイド	PIN #	バックサイド	PIN #	フロントサイド	PIN #	バックサイド
1	VREF	2	VREF	101	A9	102	A8
3	VSS	4	VSS	103	VSS	104	VSS
5	DQ0	6	DQ4	105	A7	106	A6
7	DQ1	8	DQ5	107	A5	108	A4
9	VDD	10	VDD	109	A3	110	A2
11	DQS0	12	DM0	111	A1	112	A0
13	DQ2	14	DQ6	113	VDD	114	VDD
15	VSS	16	VSS	115	A10/AP	116	BA1
17	DQ3	18	DQ7	117	BA0	118	/RAS
19	DQ8	20	DQ12	119	/WE	120	/CAS
21	VDD	22	VDD	121	/S0	122	/S1
23	DQ9	24	DQ13	123	DU	124	DU
25	DQS1	26	DM1	125	VSS	126	VSS
27	VSS	28	VSS	127	DQ32	128	DQ36
29	DQ10	30	DQ14	129	DQ33	130	DQ37
31	DQ11	32	DQ15	131	VDD	132	VDD
33	VDD	34	VDD	133	DQS4	134	DM4
35	CK0	36	VDD	135	DQ34	136	DQ38
37	/CK0	38	VSS	137	VSS	138	VSS
39	VSS	40	VSS	139	DQ35	140	DQ39
41	DQ16	42	DQ20	141	DQ40	142	DQ44
43	DQ17	44	DQ21	143	VDD	144	VDD
45	VDD	46	VDD	145	DQ41	146	DQ45
47	DQS2	48	DM2	147	DQS5	148	DM5
49	DQ18	50	DQ22	149	VSS	150	VSS
51	VSS	52	VSS	151	DQ42	152	DQ46

PIN #	フロントサイド	PIN #	バックサイド	PIN #	フロントサイド	PIN #	バックサイド
53	DQ19	54	DQ23	153	DQ43	154	DQ47
55	DQ24	56	DQ28	155	VDD	156	VDD
57	VDD	58	VDD	157	VDD	158	/CK1
59	DQ25	60	DQ29	159	VSS	160	CK1
61	DQS3	62	DM3	161	VSS	162	VSS
63	VSS	64	VSS	163	DQ48	164	DQ52
65	DQ26	66	DQ30	165	DQ49	166	DQ53
67	DQ27	68	DQ31	167	VDD	168	VDD
69	VDD	70	VDD	169	DQS6	170	DM6
71	CB0	72	CB4	171	DQ50	172	DQ54
73	CB1	74	CB5	173	VSS	174	VSS
75	VSS	76	VSS	175	DQ51	176	DQ55
77	DQS8	78	DM8	177	DQ56	178	DQ60
79	CB2	80	CB6	179	VDD	180	VDD
81	VDD	82	VDD	181	DQ57	182	DQ61
83	CB3	84	CB7	183	DQS7	184	DM7
85	DU	86	DU/(RESET)	185	VSS	186	VSS
87	VSS	88	VSS	187	DQ58	188	DQ62
89	CK2	90	VSS	189	DQ59	190	DQ63
91	/CK2	92	VDD	191	VDD	192	VDD
93	VDD	94	VDD	193	SDA	194	SA0
95	CKE1	96	CKE0	195	SCL	196	SA1
97	DU(A13)	98	DU(BA2)	197	VDDSPD	198	SA2
99	A12	100	A11	199	VDDID	200	DU

ファンクショナルブロックダイアグラム



**推奨動作条件**

①TC  $A \leq +70^{\circ}\text{C}$ ;  $V_{DD} = +2.5\text{V} \pm 0.2\text{V}$ ,  $V_{DDQ} = +2.5\text{V} \pm 0.2\text{V}$

項目	記号	MIN	MAX	単位
Supply Voltage	$V_{DD}$	2.3	2.7	V
I/O Supply Voltage	$V_{DDQ}$	2.3	2.7	V
I/O Reference Voltage	$V_{REF}$	$0.49 \times V_{DDQ}$	$0.51 \times V_{DDQ}$	V
I/O Termination Voltage (system)	$V_{TT}$	$V_{REF} - 0.04$	$V_{REF} + 0.04$	V
Input High (Logic 1) Voltage	$V_{IH(DC)}$	$V_{REF} + 0.15$	$V_{DD} + 0.3$	V
Input Low (Logic 0) Voltage	$V_{IL(DC)}$	-0.3	$V_{REF} - 0.15$	V
INPUT LEAKAGE CURRENT Any input $0\text{V} \leq V_{IN} \leq V_{DD}$ , $V_{REF}$ pin $0\text{V} \leq V_{IN} \leq 1.35\text{V}$ (All other pins not under test = 0V)	$I_I$	-16	16	$\mu\text{A}$
OUTPUT LEAKAGE CURRENT ( $DQ_S$ are disabled; $0\text{V} \leq V_{OUT} \leq V_{DDQ}$ )	$I_{OZ}$	-40	40	$\mu\text{A}$
OUTPUT LEVELS: High Current ( $V_{OUT} = V_{DDQ} - 0.373\text{V}$ , minimum $V_{REF}$ , minimum $V_{TT}$ )	$I_{OH}$	-16.8	-	mA
Low Current ( $V_{OUT} = 0.373\text{V}$ , maximum $V_{REF}$ , maximum $V_{TT}$ )	$I_{OL}$	16.8	-	mA

**DC 許容動作条件**

①TC  $A \leq +70^{\circ}\text{C}$ ;  $V_{DD} = +2.5\text{V} \pm 0.2\text{V}$ ,  $V_{DDQ} = +2.5\text{V} \pm 0.2\text{V}$

PARAMETER/ CONDITION	記号	MIN	MAX	単位
Input High (Logic 1) Voltage	$V_{IH(AC)}$	$V_{REF} + 0.310$	-	V
Input Low (Logic 0) Voltage	$V_{IL(AC)}$	-	$V_{REF} - 0.310$	V
I/O Reference Voltage	$V_{REF(AC)}$	$0.49 \times V_{DDQ}$	$0.51 \times V_{DDQ}$	V

**端子容量**

PARAMETER	記号	MIN	MAX	単位
Input/Output Capacitance: DQ, DQS	$C_{10}$	4.0	5.0	pF
Input Capacitance: Command and Address	$C_{11}$	18.0	27.0	pF
Input Capacitance: /S 0,1	$C_{11}$	18.0	27.0	pF
Input Capacitance: CK, /CK	$C_{12}$	10.0	14.0	pF
Input Capacitance: CKE	$C_{13}$	18.0	27.0	pF

**DC 電気的特性**

①TC  $A \leq +70^{\circ}\text{C}$ ;  $V_{DDQ} = +2.5\text{V} \pm 0.2\text{V}$ ,  $V_{DD} = +2.5\text{V} \pm 0.2\text{V}$

Parameter & Test Condition	記号	max.		単位
		21-2533	27-2533	
OPERATING CURRENT : One device bank; Active-Precharge; $t_{RC} = t_{RC}(\text{Min})$ ; $t_{CK} = t_{CK}(\text{Min})$ ; DQ, DM and DQS inputs changing once per clock cycle; Address and control inputs changing once every two clock cycles	$I_{DD0}$	TBD	TBD	mA
OPERATING CURRENT : One device bank; Active-Read-Precharge; Burst = 2; $t_{RC} = t_{RC}(\text{Min})$ ; $t_{CK} = t_{CK}(\text{Min})$ ; $I_{OUT} = 0\text{mA}$ ; Address and control inputs changing once per clock cycle	$I_{DD1}$	TBD	TBD	mA
PRECHARGE POWER-DOWN STANDBY CURRENT: All device banks idle; Power-down mode; $t_{CK} = t_{CK}(\text{Min})$ ; CKE = (LOW)	$I_{DD2P}$	TBD	TBD	mA
IDLE STANDBY CURRENT: CS# = HIGH; All device banks idle; $t_{CK} = t_{CK}(\text{Min})$ ; CKE= HIGH; Address and other control inputs changing once per clock cycle. $V_{IN} = V_{REF}$ for DQ, DQS, and DM	$I_{DD2F}$	TBD	TBD	mA
ACTIVE POWER-DOWN STANDBY CURRENT: One device bank active; Power-down mode; $t_{CK} = t_{CK}(\text{Min})$ ; CKE = LOW	$I_{DD3P}$	TBD	TBD	mA
ACTIVE STANDBY CURRENT: CS# = HIGH; CKE = HIGH; One device bank; Active-Precharge; $t_{RC} = t_{RAS}(\text{Max})$ ; $t_{CK} = t_{CK}(\text{Min})$ ; DQ, DM and DQS inputs changing twice per clock cycle; Address and other control inputs changing once per clock cycle	$I_{DD3N}$	TBD	TBD	mA
OPERATING CURRENT: Burst = 2; Reads; Continous burst; One bank active; Address and control inputs changing once per clock cycle; $t_{CK} = t_{CK}(\text{Min})$ ; $I_{OUT} = 0\text{mA}$	$I_{DD4R}$	TBD	TBD	mA

Parameter & Test Condition		記号.	max.		単位
			21-2533	27-2533	
OPERATING CURRENT: Burst = 2; Writes; Continuous burst; One device bank active; Address and control inputs changing once per clock cycle; $t_{CK} = t_{CK}$ (Min); DQ, DM, and DQS inputs changing twice per clock cycle		$I_{DD4W}$	TBD	TBD	mA
AUTO REFRESH CURRENT	$t_{RC} = t_{RC}(\text{Min})$	$I_{DD5}$	TBD	TBD	mA
	$t_{RC} = 7.8125\mu\text{s}$	$I_{DD6}$	TBD	TBD	mA
SELF REFRESH CURRENT: $\text{CKE} \leq 0.2\text{V}$		$I_{DD7}$	TBD	TBD	mA
OPERATING CURRENT: Four device bank interleaving READs (BL =4) with auto precharge, $t_{RC} = t_{RC}(\text{Min})$ ; $t_{CK} = t_{CK}(\text{Min})$ ; Address and control inputs change only during Active READ, or WRITE commands		$I_{DD8}$	TBD	TBD	mA



**DDR SDRAM COMPONENT 電気的特性 及び 推奨 AC 動作条件**

①TC<sub>A</sub> ≤ +70°C ; V<sub>DDQ</sub> = +2.5V ± 0.2V, V<sub>DD</sub> = +2.5V ± 0.2V)

AC CHARACTERISTICS		21-2533		27-2533		Unit	
PARAMETER	SYMBOL	MIN	MAX	MIN	MAX		
Access window of DQ <sub>s</sub> CK/CK#	t <sub>AC</sub>	-0.75	+0.75	-0.75	+0.75	ns	
CK high-level width	t <sub>CH</sub>	0.45	0.55	0.45	0.55	t <sub>CK</sub>	
CK low-level width	t <sub>CL</sub>	0.45	0.55	0.45	0.55	t <sub>CK</sub>	
Clock cycle time	CL = 2.5	t <sub>ck(2.5)</sub>	7.5	13	6	13	ns
	CL = 2	t <sub>ck(2)</sub>	10	13	7.5	13	ns
DQ and DM input hold time relative to DQS	t <sub>DH</sub>	0.5		0.45		ns	
DQ and DM input setup time relative to DQS	t <sub>DS</sub>	0.5		0.45		ns	
DQ and DM input pulse width ( for each input )	t <sub>DIPW</sub>	1.75		1.75		ns	
Access window of DQS from CK/CK#	t <sub>DQSCK</sub>	-0.75	+0.75	-0.6	+0.6	ns	
DQS input high pulse width	t <sub>DQSH</sub>	0.35		0.35		t <sub>CK</sub>	
DQS input low pulse width	t <sub>DQSL</sub>	0.35		0.35		t <sub>CK</sub>	
DQS -DQ skew, DQS to last DQ valid, per group, per access	t <sub>DQSQ</sub>		0.5		0.45	ns	
Write command to first DQS latching transition	t <sub>DQSS</sub>	0.75	1.25	0.75	1.25	t <sub>CK</sub>	
DQS falling edge to CK rising-setup time	t <sub>DSS</sub>	0.2		0.2		t <sub>CK</sub>	
DQS falling edge from CK rising-hold time	t <sub>DSH</sub>	0.2		0.2		t <sub>CK</sub>	
Half clock period	t <sub>HP</sub>	t <sub>CH</sub> , t <sub>CL</sub>		t <sub>CH</sub> , t <sub>CL</sub>		ns	
Data-out high-impedance window from CK/CK#	t <sub>HZ</sub>		+0.75		+0.7	ns	
Data-out low-impedance window from CK/CK#	t <sub>LZ</sub>	-0.75		-0.7		ns	
Address and control input hold time ( fast slew rate )	t <sub>IHF</sub>	0.90		0.75		ns	
Address and control input setup time ( fast slew rate )	t <sub>ISF</sub>	0.90		0.75		ns	
Address and control input hold time ( slow slew rate )	t <sub>IHS</sub>	1		0.8		ns	
Address and control input setup time ( slow slew rate )	t <sub>ISS</sub>	1		0.8		ns	
LOAD MODE REGISTER command cycle time	t <sub>MRD</sub>	15		12		ns	
DQ-DQS hold, DQS to first DQ to go non-valid, per access	t <sub>QH</sub>		t <sub>HP</sub> - t <sub>QHS</sub>		t <sub>HP</sub> - t <sub>QHS</sub>	ns	
Data hold skew factor	t <sub>QHS</sub>		0.75		0.5	ns	

AC CHARACTERISTICS		21-2533		27-2533		
PARAMETER	SYMBOL	MIN	MAX	MIN	MAX	Unit
ACTIVE to PRECHARGE command	$t_{RAS}$	40	120,000	42	120,000	ns
ACTIVE to READ with Auto precharge command	$t_{RAP}$	20		18		ns
ACTIVE to ACTIVE/AUTO REFRESH command period	$t_{RC}$	65		60		ns
AUTO REFRESH command period	$t_{RFC}$	75		72		ns
ACTIVE to READ or WRITE delay	$t_{RCD}$	20		18		ns
PRECHARGE command period	$t_{RP}$	20		18		ns
DQS read preamble	$t_{RPRE}$	0.9	1.1	0.9	1.1	$t_{CK}$
DQS read postamble	$t_{RPST}$	0.4	0.6	0.4	0.6	$t_{CK}$
ACTIVE bank <i>a</i> to ACTIVE bank <i>b</i> command	$t_{RRD}$	15		12		ns
DQS write preamble	$t_{WPRE}$	0.25		0.25		$t_{CK}$
DQS write preamble setup time	$t_{WPRES}$	0		0		ns
DQS write postamble	$t_{WPST}$	0.4	0.6	0.4	0.6	$t_{CK}$
Write recovery time	$t_{WR}$	15		15		ns
Internal WRITE to READ command delay	$t_{WTR}$	1		1		$t_{CK}$
Data valid output window	na	$t_{QH} - t_{DQSQ}$		$t_{QH} - t_{DQSQ}$		ns
REFRESH to REFRESH command interval	$t_{REFC}$		70.3		70.3	$\mu s$
Average periodic refresh interval	$t_{REFI}$		7.8		7.8	$\mu s$
Terminating voltage delay to $V_{DD}$	$t_{VTD}$	0		0		ns
Exit SELF REFRESH to non-READ command	$t_{XSNR}$	75		75		ns
Exit SELF REFRESH to READ command	$t_{XSRD}$	200		200		$t_{CK}$

シリアル プレデンシャルディテクトマトリックス

BYTE	DESCRIPTION			21-2533	27-2533
0	NUMBER OF SPD BYTES USED BY Optosys Technologies			0x80	
1	TOTAL NUMBER OF BYTES IN SPD DEVICE			0x08	
2	FUNDAMENTAL MEMORY TYPE			0x07	
3	NUMBER OF ROW ADDRESSES ON ASSEMBLY			0x0d	
4	NUMBER OF COLUMN ADDRESSES ON ASSEMBLY			0x0b	
5	NUMBER OF PHYSICAL BANKS ON DIMM			0x02	
6	MODULE DATA WIDTH			0x40	
7	MODULE DATA WIDTH (cotinued)			0x00	
8	MODULE VOLTAGE INTERFACE LEVELS ( $V_{DDQ}$ )			0x04	
9	SDRAM CYCLE TIME, ( $t_{CK}$ ) (CAS LATENCY =2.5)			0x75	0x60
10	SDRAM ACCESS FROM CLOCK, ( $t_{AC}$ ) (CAS LATENCY =2.5)			0x75	0x70
11	MODULE CONFIGURATION TYPE			0x00	
12	REFRESH RATE/ TYPE			0x82	
13	SDRAM DEVICE WIDTH (PRIMARY SDRAM)			0x08	
14	ERROR- CHECKING SDRAM DATA WIDTH			0x00	
15	MINIMUM CLOCK DELAY, BACK- TO- BACK RANDOM COLUMN ACCESS			0x01	
16	BURST LENGTHS SUPPORTED			0x0e	
17	NUMBER OF BANKS ON SDRAM DEVICE			0x04	
18	CAS LATENCIES SUPPORTED			0x0c	
19	CS LATENCY			0x01	
20	WE LATENCY			0x02	
21	SDRAM MODULE ATTRIBUTES			0x20	
22	SDRAM DEVICE ATTRIBUTES: GENERAL			0xc0	
23	SDRAM CYCLE TIME, ( $t_{CK}$ )(CAS latency=2) (CAS LATENCY=2)			0xa0	0xa75
24	SDRAM ACCESS FROM CK, ( $t_{AC}$ )(CAS latency=2) (CAS LATENCY=2)			0x75	0x70
25	SDRAM CYCLE TIME, ( $t_{CK}$ ) (CAS LATENCY=1.5)			0x00	
26	SDRAM ACCESS FROM CK, ( $t_{AC}$ ) (CAS LATENCY=1.5)			0x00	
27	MINIMUM ROW PRECHARGE TIME, ( $t_{RP}$ )			0x50	0x48
28	MINIMUM ROW ACTIVE TO ROW ACTIVE, ( $t_{RRD}$ )			0x3c	0x30
29	MINIMUM RAS# TO CAS# DELAY, ( $t_{RCD}$ )			0x50	0x48
30	MINIMUM RAS# PULSE WIDTH, ( $t_{RAS}$ )			0x2d	0x2a
31	MODULE BANK DENSITY			0x80	

BYTE	DESCRIPTION			21-2533	27-2533
32	ADDRESS AND COMMAND SETUP TIME, ( $t_{IS}$ )			0xa0	0xb80
33	ADDRESS AND COOMAND HOLD TIME, ( $t_{IH}$ )			0xa0	0xb80
34	DATA/DATA MASK INPUT SETUP TIME, ( $t_{DS}$ )			0x50	0x45
35	DATA/DATA MASK INPUT HOLD TIME, ( $t_{DH}$ )			0x50	0x45
36-40	RESERVED			0x00	0x00
41	MIN ACTIVE AUTO REFRESH TIME ( $t_{RC}$ )			0x46	0x3c
42	MINIMUM AUTO REFRESH TO ACTIVE/ AUTO REFRESH COMMAND PERIOD, ( $t_{RFC}$ )			0x46	0x48
43	SDRAM DEVICE MAX CYCLE TIME ( $t_{CKMAX}$ )			0x30	0x30
44	SDRAM DEVICE MAX DQS-DQ SKEW TIME ( $t_{DQSQ}$ )			0x3c	0x2d
45	SDRAM DEVICE MAX READ DATA HOLD SKEW FACTOR ( $t_{OHS}$ )			0xA0	0xA0
46-61	RESERVED		0x00		
62	SPD REVISION		0x00		
63	CHECKSUM FOR BYTES 0-62		0xce	0x79	0x63
64	MANUFACTURER'S JEDEC ID CODE		0x7f		
65	MANUFACTURER'S JEDEC ID CODE		0x7f		
66	MANUFACTURER'S JEDEC ID CODE		0x2f		
67	MANUFACTURER'S JEDEC ID CODE		0xff		
68-71	MANUFACTURER'S JEDEC ID CODE (continued)		0xff		
72	MANUFACTURING LOCATION		0x02		
73-90	MODULE PART NUMBER (ASCII)				
91	PCB IDENTIFICATION CODE		0x01		
92	IDENTIFICATION CODE (continued)		x		
93	YEAR OF MANUFACTURE IN BCD		x		
94	WEEK OF MANUFACTURE IN BCD		x		
95-98	MODULE SERIAL NUMBER	x	x	x	x
99-127	MANUFACTURER-SPECIFIC DATA (RSVD)				